

INTEGRATED DRIVER FOR HALF-BRIDGE CIRCUIT

Publication number: JP11501500T

Publication date: 1999-02-02

Inventor:

Applicant:

Classification:

- International: **H02M7/00; H02M7/538; H03K17/06; H02M7/00; H02M7/538; H03K17/06; (IPC1-7): H02M3/155; H02M3/155; H03K17/06; H03K17/687**

- european: **H02M7/00D; H02M7/538; H03K17/06B**

Application number: JP19960524127T 19961205

Priority number(s): WO1996IB01358 19961205; US19950579654 19951227

Also published as:

WO9724794 (A3)
WO9724794 (A2)
EP0812488 (A3)
EP0812488 (A2)
EP0812488 (A0)

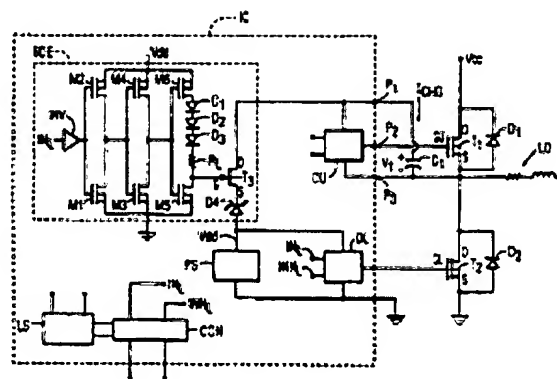
more >>

[Report a data error here](#)

Abstract not available for JP11501500T

Abstract of corresponding document: **WO9724794**

A half-bridge driver circuit including a lower drive module and a floating upper drive module for driving respective external upper and lower power transistors of a high voltage half bridge is contained in an integrated circuit chip which includes an on-chip bootstrap diode emulator which is turned on in response to a control signal applied to its gate in order to pass current from a power supply to charge an external bootstrap capacitor that powers the upper drive module. The upper drive module is accommodated in an insulated well and the diode emulator includes as its main current carrying element, a JFET transistor formed along the periphery of the well. The JFET transistor is driven into a conducting state at the same time the lower power transistor is driven into a conducting state. The source electrode of the JFET is coupled to the power supply via a diode, such that the voltage at said source electrode cannot rise above a level which is one diode drop below the voltage at said power supply output and control circuitry derives the control signal in a manner that it is constrained not to rise a level which is three diode drops below the voltage at the power supply output and limits the current that may flow in the gate electrode.



Data supplied from the **esp@cenet** database - Worldwide

(51) Int.Cl. ⁶	識別記号	F I	
H 0 2 M 3/155		H 0 2 M 3/155	H
			S
H 0 3 K 17/06		H 0 3 K 17/06	C
17/687		17/687	F

審査請求 未請求 予備審査請求 未請求(全 17 頁)

(21) 出願番号 特願平9-524127
 (86) (22) 出願日 平成8年(1996)12月5日
 (85) 翻訳文提出日 平成9年(1997)8月26日
 (86) 国際出願番号 PCT/IB96/01358
 (87) 国際公開番号 WO97/24794
 (87) 国際公開日 平成9年(1997)7月10日
 (31) 優先権主張番号 08/579, 654
 (32) 優先日 1995年12月27日
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CN, JP

(71) 出願人 フィリップス、エレクトロニクス、ネムローゼ、フェンノートシャップ
 オランダ国5621、ペーアー、アインドーフエン、フルーネヴァウツウエッハ、1
 (72) 発明者 ヤナスワミイ、アナンド
 オランダ国5656、エイエイ、アインドーフエン、プロフ、ホルスターン、6
 (72) 発明者 ジャイヤラマン、ラジェクハー
 オランダ国5656、エイエイ、アインドーフエン、プロフ、ホルスターン、6
 (74) 代理人 弁理士 佐藤 一雄 (外3名)

最終頁に続く

(54) 【発明の名称】 ハーフブリッジ回路のための集積化されたドライバ

(57) 【要約】

高電圧ハーフブリッジの外部上方パワートランジスタを駆動するための下方駆動モジュールと、外部下方パワートランジスタを駆動するためのフローティング上方駆動モジュールとを含むハーフブリッジ駆動回路が、集積回路チップ内に設けられており、この集積回路チップは電源からの電流を通過し、上方駆動モジュールに給電する外部ブートストラップコンデンサを充電するよう、ゲートに印加される制御信号に応答してターンオンされるチップ上のブートストラップダイオードエミュレータを含む。上方駆動モジュールは絶縁されたウェル内に收容され、ダイオードエミュレータはウェルの周辺に沿って形成されたJFETトランジスタを主要電流搬送素子として含む。このJFETトランジスタは下方パワートランジスタが導通状態に駆動されると同時に導通状態となるよう駆動される。JFETのソース電極はダイオードを介して電源に結合されており、このため、絶縁ソース電極の電圧は前記電源の出力端の電圧よりも1ダイオード降下分低いレベルよりも上昇できず、制御回路は電源の出力端の電圧よりも3ダイオード降下分低いレベルま

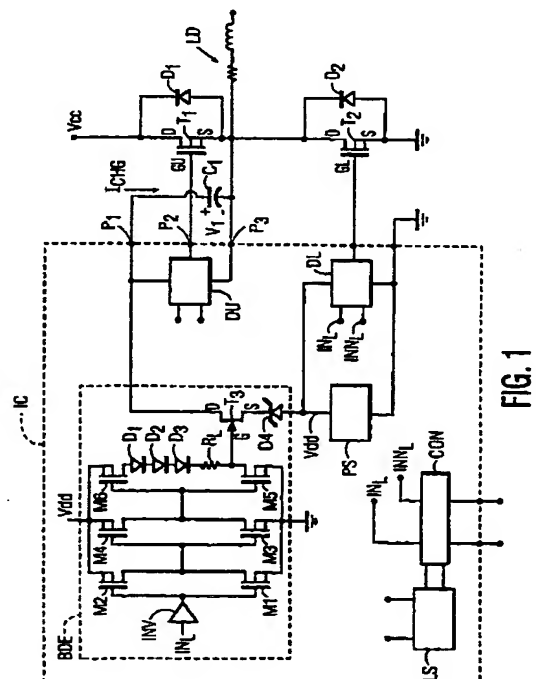


FIG. 1

【特許請求の範囲】

1. 出力端子と高電圧DC電源のそれぞれの方および上方レールとの間に接続された下方および上方パワートランジスタによって形成されたハーフブリッジを駆動し、前記出力端子に接続された第1端および第2端を有するブートストラップコンデンサを充電するための回路であり、

前記それぞれの方および上方パワートランジスタを非同時的導通状態に駆動することを命令するための下方および上方駆動コマンド信号を発生するための手段と、

電源の出力端において前記下方レールに対し比較的低い制御電圧を発生するための電源手段と、

前記比較的低い制御電圧によって給電されるよう、電源の出力に接続されており、前記下方駆動コマンド信号に応答して下方パワートランジスタの制御電極と下方レールとの間に下方駆動制御信号を印加するための手段を備えた下方駆動モジュールと、

前記ブートストラップコンデンサの両端のブートストラップ電圧によって給電されるよう、ブートストラップコンデンサの第1端に接続されるようになっており、前記上方駆動入力制御信号に応答して上方パワートランジスタの制御電極と出力端子との間に上方トランジスタ制御信号を印加するための手段を含む上方駆動モジュールと、

トランジスタを備え、前記ブートストラップコンデンサを前記ブートストラップ電圧まで充電するためのブートストラップダイオードエミュレータ手段とを備えたハーフブリッジ駆動回路において、

前記トランジスタがJFETトランジスタであり、このトランジスタのソース電極が前記電源の出力端に結合され、ドレイン電極がブートストラップコンデン

サの第2端に接続されるようになっており、下方パワートランジスタが導通状態に駆動される際にゲート電極が前記JFETトランジスタを導通状態に駆動するための前記下方駆動コマンド信号から得られた別の制御信号に結合されることを特徴とする、ハーフブリッジ駆動回路。

2. 前記ソース電極がダイオードを介して前記電源の出力端に結合されており、よって前記ソース電極の電圧が前記電源の出力端における電圧よりも1ダイオード降下分低いレベルよりも高く上昇できないようになっている、請求項1記載の回路。

3. 前記制御信号が前記電源の出力端における電圧よりも複数のダイオード降下分低いレベルを越えないように制限されるように、前記制御信号を発生するための制御回路を更に含む、請求項1または2記載の回路。

4. 前記複数の数が3である、請求項3記載の回路。

5. 前記下方駆動コマンド信号から前記別の制御信号を発生するための手段を更に含む、該信号を発生するための手段が前記下方レールと前記比較的低い電源電圧との間の電圧レンジを有するバッファ出力信号を発生するよう、前記下方駆動コマンド信号が供給されるバッファと、前記バッファ出力信号の電圧レンジを前記ゲート電極に結合された点と前記ソース電極との間の電圧差のレンジに変換するための手段とを含む、請求項2記載の回路。

【発明の詳細な説明】

ハーフブリッジ回路のための集積化されたドライバ

本発明は、出力端子と高電圧DC電源のそれぞれの下方向および上方レールとの間に接続された下方向および上方パワートランジスタによって形成されたハーフブリッジを駆動し、前記出力端子に接続された第1端および第2端を有するブートストラップコンデンサを充電するための回路であり、

前記それぞれの下方向および上方パワートランジスタを非同時的導通状態に駆動することを命令するための下方向および上方駆動コマンド信号を発生するための手段と、

電源の出力端において前記下方レールに対し比較的低い制御電圧を発生するための電源手段と、

前記比較的低い制御電圧によって給電されるよう、電源の出力に接続されており、前記下方駆動コマンド信号に応答して下方パワートランジスタの制御電極と下方レールとの間に下方駆動制御信号を印加するための手段を備えた下方駆動モジュールと、

前記ブートストラップコンデンサの両端のブートストラップ電圧によって給電されるよう、ブートストラップコンデンサの第1端に接続されるようになっており、前記上方駆動入力制御信号に応答して上方パワートランジスタの制御電極と出力端子との間に上方パワートランジスタ制御信号を印加するための手段を含む上方駆動モジュールと、

トランジスタを備え、前記ブートストラップコンデンサを前記ブートストラップ電圧まで充電するためのブートストラップダイオードエミュレータ手段とを備えたハーフブリッジ駆動回路に関する。

ハーフブリッジを駆動するためのかかる回路は米国特許第5,373,435号から知られている。ハーフブリッジ回路の用途としては、ガス放電ランプのバラスト、スイッチングモードの電源、モータ駆動装置およびDC-ACコンバータがある。ハーフブリッジを駆動するための公知の回路では、トランジスタはLDMOSトランジスタとなっている。この公知の回路におけるLDMOSのソースは電源

出力端に接続されている。この結果、ゲートの電圧は前記LDMOSトランジスタを導通させるのに、前記比較的低い制御電圧よりも高くする必要がある。この理由から、LDMOSトランジスタを導通状態にすることは比較的複雑となっている。

本発明はダイオードエミュレータ内に設けられたトランジスタの導通状態を比較的簡単な手段で制御できるハーフブリッジを駆動するための回路を提供せんとするものである。

従って、冒頭の章に記載のハーフブリッジを駆動するための回路は、本発明によれば、前記トランジスタがJFETトランジスタであり、このトランジスタのソース電極が前記電源の出力端に結合され、ドレイン電極がブートストラップコンデンサの第2端に接続されるようになっており、下方パワートランジスタが導通状態に駆動される際にゲート電極が前記JFETトランジスタを導通状態に駆動するための前記下方駆動コマンド信号から得られた別の制御信号に結合されることを特徴とする。

JFETはデプレッションモードのデバイスであるので、このデバイスはゲート-ソース間電圧 V_{GS} がゼロの時、オンとなる。このデバイスは前記比較的低い制御電圧よりも低い電圧にゲート電圧を制御することによりオフ状態となるように制御できる。従って、トランジスタの導通状態を制御する回路を比較的簡単にすることができる。

前記ソース電極はダイオードを介して前記電源の出力端に結合されており、よ

って前記ソース電極の電圧が前記電源の出力端における電圧よりも1ダイオード降下分低いレベルよりも高く上昇できないようになっていることが好ましい。前記ダイオードはツェナーダイオードであることが好ましい。このようなダイオードの電圧降下によりJFETがターンオンされている時にそのドレインは V_{dd} -ダイオード降下分まで上昇し、よってブートストラップコンデンサを充電できるように保証する。デバイスがターンオンされている時、ソース電圧は $V_{dd}-V$ （ダイオード）から V （ツェナー）+ V_{dd} までの間でフロートできるので、JFETのソースの電圧は V_{dd} よりも1ダイオード降下分低下している。JFETは常

にソース電圧がドレイン電圧よりも高くなっている I V 特性の第 3 象限で作動し、この結果、ドレイン－ソース間電流 I_{DS} はソースからドレインへ逆方向に流れる。

J F E T のソースおよびドレインは n 型であり、ゲートは p 型であることが好ましい。このため、ゲートソース間およびゲートドレイン間の寄生ダイオードのターンオンを防止する必要がある。このことはゲートが V_{dd} にスイングしないように保証することによって達成され、更にこのことは前記制御信号が前記電源の出力端の電圧よりも複数のダイオード降下分低いレベルを越えないように制限されるよう、前記制御信号を発生するための制御回路を含む場合に達成できる。この場合、ゲートは 3 ダイオード降下分よりも低い V_{dd} にスイングすることしか認められない。

好ましい実施例では、回路は前記下方駆動コマンド信号から前記別の制御信号を発生するための手段を更に含み、該信号を発生するための手段は前記下方レールと前記比較的低い電源電圧との間の電圧レンジを有するバッファ出力信号を発生するよう、前記下方駆動コマンド信号が供給されるバッファと、前記バッファ出力信号の電圧レンジを前記ゲート電極に結合された点と前記ソース電極との間の電圧差のレンジに変換するための手段とを含む。

図面を参照して、以下、本発明の実施例について更に説明する。

図面において、図 1 は、集積回路チップに含まれる部品が 1 C と表示された点線のボックスに囲まれた本発明の駆動回路の略図である。

図 2 は、高電圧 J F E T T_3 が形成された細長いエリアを含む、図 1 における点線のボックス 1 C に対応する集積回路チップの略平面図である。

図 3 は、J F E T T_3 の構造を示す 3－3 線に沿った横断面図である。

まず図 1 を参照すると、ここには本発明に係わる駆動回路が示されている。この駆動回路は高電圧（約 500 V までの）D C 電源の両端に直列接続されたパワー MOS F E T T_1 および T_2 によって形成された外部ハーフブリッジを駆動するように接続されたモノリシックの高電圧集積回路 1 C に含まれる。ハーフブリッジおよび駆動回路の回路全体のアーキテクチャは、上記米国特許第 5, 373, 435

号に示され、記載されているものと同じであるが、本発明によりオンチップのブートストラップダイオードエミュレータBDEが設けられている点が異なっている。

このハーフブリッジではパワートランジスタ T_1 はそのドレイン電極が電圧 V_c となっている図1に示されているDC電源の高電圧側、すなわち上方レールに接続されているので上方トランジスタと称され、パワートランジスタ T_2 はそのソース電極がアース電位となっている図面に示されたDC電源の低電圧側、すなわち下方レールに接続されているので下方トランジスタと称される。上方トランジスタ T_1 のソース電極および下方トランジスタ T_2 のドレイン電極は負荷LDの一端にも接続されているハーフブリッジの出力端子OUTにて接合されている。ガス放電ランプへの給電のような電源用では、負荷の他端はDC電源の間の容量性分圧器（図示せず）の中間点に接続することにより、電源の半分の電圧に維持できる。周知のようにトランジスタ T_1 および T_2 は（20KHzよりも高い）高周波の繰り返しサイクル、例えば100KHzの大きさと、スイッチモードで

作動される。すなわちこのモードでは約500msの大きさの比較的短いデッドゾーンのインターバルで互いに分離された、あるサイクル中の2つの時間インターバルまたは位相のうちの異なるインターバルまたは位相中に、各トランジスタがターンオンとされる（すなわち導通状態に駆動される）。多くの用途において、多少誘導性のインピーダンスを有する負荷LDに起因する電流ターンオフ時のスイッチング過渡現象は、トランジスタ T_1 および T_2 の固有のボディダイオード D_1 および D_2 によって制限される。 D_1 は下方パワートランジスタ T_2 がオフにされる際に出力端子OUTに発生する正の電圧変化を制限するようになっており、ダイオード D_2 は上方パワートランジスタ T_1 がターンオフされる際に出力端子に生じる負の電圧変化を制限するようになっている。

これらサイクルはコントローラCONによって設定され、このコントローラは外部入力信号INに応答して本質的に2進のコンマンド信号 IN_L および上方トランジスタ T_1 の導通状態を制御するためのその逆論理信号 INN_L を発生し、レベルシフタLSを介して下方トランジスタ T_2 の導通状態を制御するためのパル

スコマンド信号 T_{ON} および T_{OFF} を発生する。コマンド信号 I_{NL} は上方トランジスタ T_1 を導通状態に駆動すべき際の時間インターバルまたは位相中に限り、ある2進ステートを有する。コマンド信号 T_{ON} および T_{OFF} はノイズおよび過渡現象により影響されないようにパルス状に発生される。これらコマンド信号 T_{ON} および T_{OFF} それぞれ下方トランジスタ T_2 をターンオンおよびターンオフすべき時を表示する。下方トランジスタコマンド信号 I_{NL} および I_{NNL} は下方駆動モジュールDLへ送られ、このモジュールはこれら信号に応答して下方トランジスタ T_2 のゲート G_L を駆動し、下方トランジスタコマンド信号によって決められる位相中に限り下方トランジスタをターンオンする。同様に、コマンド信号 T_{ON} および T_{OFF} は上方駆動モジュールDUへ送られ、このモジュールはこれら信号に応答して上方トランジスタ T_1 のゲート G_U を駆動し、上方トランジスタ

コマンド信号によって決定される位相中に上方トランジスタをターンオンする。上方駆動モジュールDU内のR/Sフリップフロップ（図示せず）は上方駆動モジュールのバランスが下方駆動モジュールDLと同じ構造とすることができるように、コマンド信号 T_{ON} および T_{OFF} を I_{NL} および I_{NNL} に類似した2進状に変換する。

下方駆動モジュールDLには比較的低い電源電圧 V_{dd} 、すなわち1.2Vが給電され、上方駆動モジュールには外部ブートストラップコンデンサ C_1 の両端の電圧 V_1 が給電される。このコンデンサは70nFの大きさの容量を有する。この容量の値は面積を妥当な程度犠牲とした集積回路ICで発生するには過度に大きくなっている。ブートストラップコンデンサ C_1 の他端はオンチップブートストラップダイオードエミュレータBDEを介して電源電圧 V_{dd} に結合されているので、下方トランジスタ T_2 が導通状態となる間、ほぼアース電位に出力端子OUTが実質的に維持されると、充電電流が C_1 を流れ、よって V_1 がBDEと T_2 との間の小さい電圧効果よりも低い電圧 V_{dd} となる。

周知のように、図2を更に参照すると、上方駆動モジュールDUは集積回路チップIC内の絶縁ウェルWL、例えばP型アイソレーション部により囲まれたN型ウェルに形成されたCMOS回路を含む。従って、このウェルはLDMOST

ランジスタを形成するのに使用される構造と類似の構造により、集積回路のバランスから絶縁される。接合アイソレーション技術では高電圧ダイオードは集積化できない。その理由は、この技術により基板電流が大きくなるからである。これにより他方の回路の作動が乱されることがある。本発明の原理によれば、チップ状に設けられるブートストラップダイオードエミュレータはウェルWLの周辺に沿って形成されたJFET T_3 を含む。JFET T_3 はウェルアイソレーション部と同じブレークダウン電圧(500Vを越える)を本来有し、ウェル周辺部に垂直に電流が流れるので、JFET T_3 が形成されるウェル周辺部の長さ

を選択することによって電流搬送能力を得ることができる。フローティングウェルを形成するのに、既にLDMOS構造が使用されており、既に存在するLDMOS構造からJFETを構成するのに必要な別の層は必要でないので、ブートストラップダイオードは追加シリコンエリアを使用せず、オンチップに別の機能を加える。

図3にはJFETの横断面図が示されている。P-I-SO近くのN+領域はソースを形成し、P型チャンネル領域はゲートを形成し、右側のN+領域はドレインを形成する。P型の埋め込み層を備えたN型ウェル内で拡散が行われる。このP型埋め込み層はデバイスの早期のピンチオフ効果を防止するために割込みされる。デバイスの側面構造によって高電圧能力が得られる。

図1のボックスBDEにはJFET T_3 のための駆動回路が示されている。このJFET T_3 は、そのドレインがブートストラップコンデンサ C_1 に接続され、そのソースがツェナーダイオード D_4 を介してVddよりも1ダイオード分低下するように結合されたソースフォロワー構造で作動する。このような作動はJFET T_3 がターンオンされると、そのドレインがVdd-ダイオード降下分まで上昇し、ブートストラップコンデンサ C_1 に充電電圧を供給するように行われる。JFET T_3 がターンオンされると、JFET T_3 のソース電圧はVdd-V(ダイオード)からV(ツェナー)+Vddまでの間でフロートできるので、JFETのソースの電圧はVddよりも1ダイオード分低下する。JFET T_3 がより高いソースバイアスで極めて明らかにピンチオフし、よってJFET T_3

がオフとなっている時には極めて小さいリーク電流が流れるか、または全くリーク電流が流れることがないことを実験結果が示すように、この動作が行われる。 $JFET\ T_3$ は常にソース電圧がドレイン電圧よりも高くなっている I_V 特性曲線の第3象限で常に作動し、この結果、ソースからドレインへ逆方向に電流 I_{DS} が流れる。更にソースとドレインはN型であり、ゲートはP型であるの

で、ゲートソース間およびゲートドレイン間の寄生ダイオードがターンオンしないよう、注意を払う必要がある。これは $JFET\ T_3$ のゲートが V_{dd} にスイングしないように保証し、よって直列ダイオード D_1 、 D_2 および D_3 の作動に起因し、ゲートが $V_{dd}-3$ ダイオード降下分にしかスイングできないように保証することにより、このような動作が達成される。更に、ゲート電流はこれらダイオードを直列な抵抗器 R_L によって制限される。

$JFET\ T_3$ はデプレッションモードのデバイスであるので、ゲートソース間電圧 V_{GS} がゼロの場合、オン状態となる。通常の動作ではゲートソース間電圧 V_{GS} が $-(V_{dd}-V(\text{ダイオード}))$ である時には、 $JFET\ T_3$ はターンオフできる。ゲート駆動回路は信号を内部で使用される IN_L から $10\sim12\text{V}$ までレベルシフトするレベルシフトインバータ INV を有し、その後、3つのバッファステージが続く。第1ステージはトランジスタ $M1$ 、 $M2$ によって形成され、第2ステージはトランジスタ $M3$ 、 $M4$ によって形成され、第3ステージはトランジスタ $M5$ 、 $M6$ によって形成される。 $JFET\ T_3$ のターンオンはハーフブリッジの下方パワートランジスタ T_2 のターンオンに一致する。

クロックのある位相 ϕ_1 の間、下方パワーデバイスはオンとなる。この位相中、 $JFET\ T_3$ のゲートにはゲート駆動信号が印加され、よって $JFET\ T_3$ はターンオンされ、ブートストラップコンデンサ C_1 を充電する。 $JFET\ T_3$ は下方パワートランジスタ T_2 のターンオフと一致してターンオフする。ゲートからソースまでの電圧 V_{GS} は $-(V_{dd}-V(\text{ダイオード}))$ となっているので、デバイスはターンオフされる。

一般にシステムで使用されるゼロ電圧スイッチング作動モードにより、回路の設計時に特別な配慮をする必要がある。間にデッドタイムが挿入されたクロック

の異なる位相の間では、ハーフブリッジ内の2つのパワートランジスタ T_1 、 T_2 はオン状態となる。図1に示されているような負荷LDを有するハーフブリ

ッジ回路を検討する。第1位相の後半部分の間ではインダクタ内の電流はアース内に流れる。第1位相の終了時に下方パワートランジスタ T_2 がターンオフされると、瞬間的に変化できないインダクタ内の電流は上方パワートランジスタ T_1 のソースと下方パワートランジスタ T_2 のソースとの間の寄生ボディコンデンサ C_{DS} （図示せず）内に流れる。フローティングノードOUTは大きい dv/dt にて0から V_{cc} へ向かって増加する。ブートストラップコンデンサ C_1 に接続されているJFET T_3 のドレインも同様に上昇する。このようなJFET T_3 の大きい電圧機能はドレインとソース間の横方向の距離によって達成されている。デッド時間に等しい時間の後、上方ゲートGUがターンオンされる第2位相が生じる。このような第2位相中、ブートストラップコンデンサ C_1 はフローティングウェル回路を通して放電する。最終的に負荷LDの誘導部分内の電流が逆方向に流れる。第2位相の終了時に上方デバイスがターンオフされるが、インダクタ内の電流は瞬間的に変化できないので、この電流は主に下方トランジスタ T_1 のドレインと上方トランジスタ T_2 のソースとの間の放電する容量 C_{DS} によって供給され、これによりフローティングノードOUTはアースよりも1ダイオード降下分低い電圧まで降下される。デッド時間に等しい時間の後、下方パワートランジスタがターンオンされ、サイクルが繰り返される。

本発明の課題は、すべての点で達成されたことが明白である。更に本発明を詳細に説明したが、本発明の原理は一般的に広範な適応性があることも理解すべきである。従って、本発明の意図する精神および範囲内で細部を多数変更することが可能である。

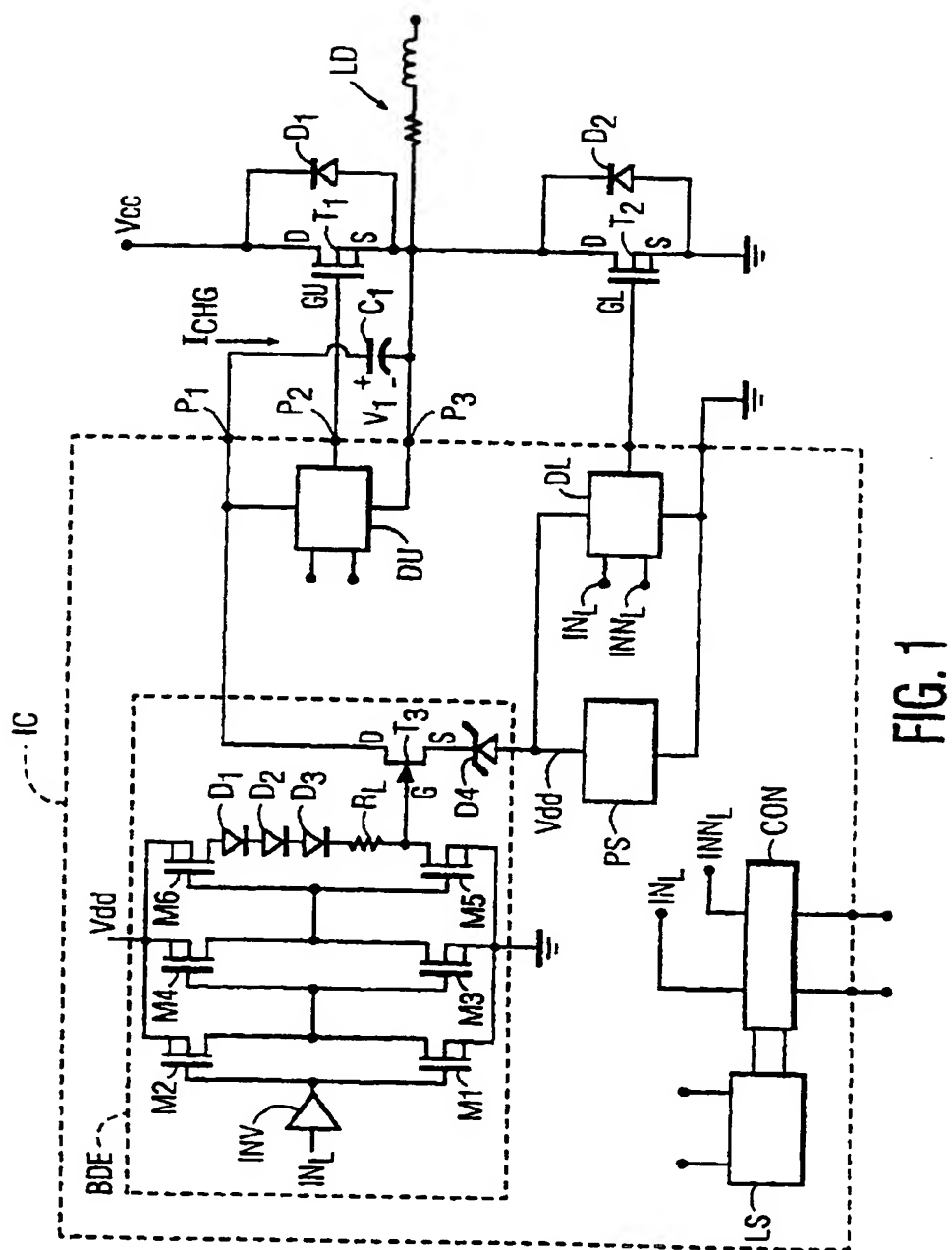


FIG. 1

【図2】

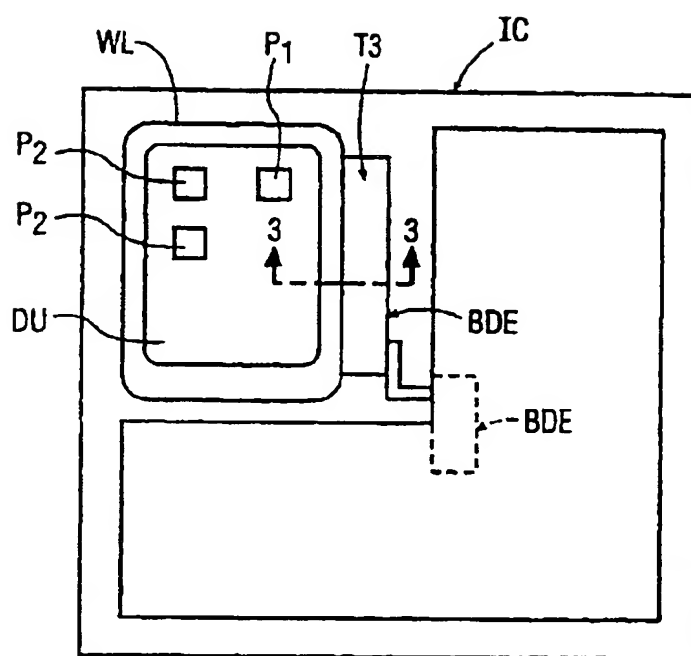


FIG. 2

【図3】

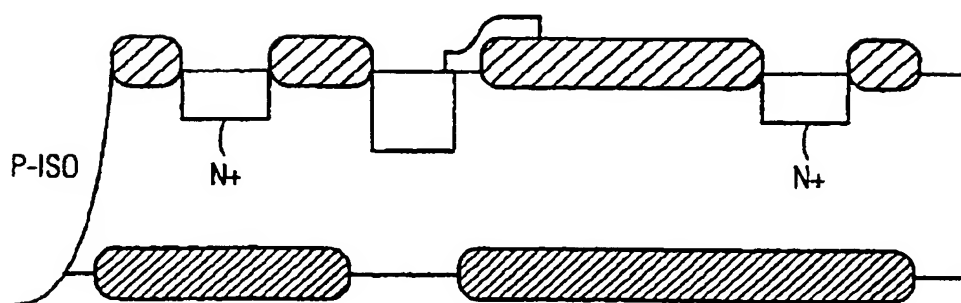


FIG. 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/01358

A. CLASSIFICATION OF SUBJECT MATTER		
IPC6: H02M 3/24, H03K 17/06, H03K 17/687, H02M 7/538 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H03K, H02M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE,DK,FI,NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPI		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E,A	EP 0751621 A1 (SGS-THOMSON MICROELECTRONICS S.R.L.), 2 January 1997 (02.01.97), figure 2, abstract --	1-5
P,A	WO 9602976 A1 (PHILIPS ELECTRONICS N.V.), 1 February 1996 (01.02.96), figure 1, abstract --	1-5
P,A	EP 0743752 A1 (SGS-THOMSON MICROELECTRONICS S.R.L.), 20 November 1996 (20.11.96), figure 6, abstract --	1-5
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
25 June 1997		30 -06- 1997
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Magnus Hjalmarsson Telephone No. +46 8 782 25 00

Form PCT/ISA/210 (second sheet) (July 1992)

BEST AVAILABLE COPY

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/01358

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WD 9427370 A1 (PHILIPS ELECTRONICS N.V.), 24 November 1994 (24.11.94), figure 1, abstract -----	1-5

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

BEST AVAILABLE COPY

INTERNATIONAL SEARCH REPORT
Information on patent family members

03/06/97

International application No.
PCT/IB 96/01358

Patent document cited in search report			Publication date	Patent family member(s)		Publication date
EP	0751621	A1	02/01/97	NONE		
WO	9602976	A1	01/02/96	CA	2171765 A	01/02/96
				CN	1134204 A	23/10/96
				EP	0719475 A	03/07/96
				US	5502632 A	26/03/96
EP	0743752	A1	20/11/96	JP	9065571 A	07/03/97
WO	9427370	A1	24/11/94	CA	2139229 A	24/11/94
				CN	1109699 A	04/10/95
				EP	0649579 A	26/04/95
				JP	7508873 T	28/09/95
				US	5373435 A	13/12/94
				US	5502632 A	26/03/96

Form PCT/ISA/210 (patent family annex) (July 1992)

BEST AVAILABLE COPY

フロントページの続き

(72)発明者 アマト, マイケル
オランダ国5656、エイエイ、アインドーフ
エン、プロフ. ホルスターン、6

(72)発明者 ベルドマン, ポール
オランダ国5656、エイエイ、アインドーフ
エン、プロフ. ホルスターン、6

【要約の続き】

で上昇しないように制限された制御信号を発生し、ゲー
ト電極内を流れることができる電流を制限する。

BEST AVAILABLE COPY